

CERTIFIED COPY OF 501 P1304 USDD
PRIORITY DOCUMENT

日本国特許庁
JAPAN PATENT OFFICE

RS

4
2-12-02

11017 U.S. PTO
09/943362

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 8月31日

出願番号

Application Number:

特願2000-264036

出願人

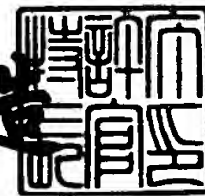
Applicant(s):

ソニー株式会社

2001年 5月30日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3048136

【書類名】 特許願

【整理番号】 0000520902

【提出日】 平成12年 8月31日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 13/23

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 桑添 泰嘉

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100082131

【弁理士】

【氏名又は名称】 稲本 義雄

【電話番号】 03-3369-6479

【手数料の表示】

【予納台帳番号】 032089

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9708842

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ復調装置および方法

【特許請求の範囲】

【請求項 1】 複数のデータレートのうち任意のデータレートの受信データを受信し、ブライントランスポートフォーマット検出法に基づいて復調処理するデータ復調装置において、

前記受信データを先頭ビットから順次ビタビ復号するビタビ復号手段と、

前記ビタビ復号手段により前記受信データを先頭ビットから順次ビタビ復号した場合に、所定の前記データレートのエンドビットポジション毎に得られるエンドビットポジション判定データを順次抽出するエンドビットポジション判定データ抽出手段と、

前記エンドビットポジション判定データ抽出手段により順次抽出されたエンドビットポジション判定データに基づいて、前記受信データのデータレートを判定するデータレート判定手段と

を備えることを特徴とするデータ復調装置。

【請求項 2】 前記エンドビットポジションデータ抽出手段により順次抽出されたエンドビットポジション判定データを記憶するエンドビットポジション判定データ記憶手段をさらに備える

ことを特徴とする請求項 1 に記載のデータ復調装置。

【請求項 3】 前記ビタビ復号手段は、前記受信データの複数ビットを 1 ステップでビタビ復号する

ことを特徴とする請求項 1 に記載のデータ復調装置。

【請求項 4】 前記受信データのうちの、前記エンドビットポジションとなりうるビットが、前記ビタビ復号手段により 1 ステップでビタビ復号される複数ビットの最終ビットではない場合、前記ビタビ復号手段は、1 ステップでビタビ復号する前記受信データのうちの、先頭から前記エンドビットポジションとなりうるビットまでの前記受信データをビタビ復号し、その後、前記複数ビットの最終ビットまでの前記受信データをビタビ復号する

ことを特徴とする請求項 3 に記載のデータ復調装置。

【請求項 5】 前記ビタビ復号手段によりビタビ復号されたデータを記憶するビタビ復号データ記憶手段をさらに備え、

前記受信データのうちの、前記エンドビットポジションとなりうるビットが、前記ビタビ復号手段により 1 ステップでビタビ復号される複数ビットの最終ビットではない場合、前記ビタビ復号手段が、1 ステップでビタビ復号する前記受信データのうち、先頭から前記エンドビットポジションとなりうるビットまでの前記受信データをビタビ復号するとき、前記ビタビ復号データ記憶手段は、前記ビタビ復号された前記受信データの記憶が禁止される

ことを特徴とする請求項 4 に記載のデータ復調装置。

【請求項 6】 前記エンドビットポジション判定データは、最大パスメトリック値、最小パスメトリック値、ゼロステートパスメトリック値、および、ゼロステートパスメモリデータを含む

ことを特徴とする請求項 1 に記載のデータ復調装置。

【請求項 7】 複数のデータレートのうち任意のデータレートの受信データを受信し、ブラインドトランスポートフォーマット検出法に基づいて復調処理するデータ復調装置のデータ復調方法において、

前記受信データを先頭ビットから順次ビタビ復号するビタビ復号ステップと、

前記ビタビ復号ステップの処理で前記受信データを先頭ビットから順次ビタビ復号した場合に、所定の前記データレートのエンドビットポジション毎に得られるエンドビットポジション判定データを順次抽出するエンドビットポジション判定データ抽出ステップと、

前記エンドビットポジション判定データ抽出ステップの処理で順次抽出されたエンドビットポジション判定データに基づいて、前記受信データのデータレートを判定するデータレート判定ステップと

を含むことを特徴とするデータ復調方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、データ復調装置および方法に関し、特に、ビタビ復号処理を用いた

受信データのデータレートを高速に判定できるようにしたデータ復調装置および方法に関する。

【0002】

【従来の技術】

データレートが複数存在する通信系におけるデータレート判定方法として、ブラインドトランスポートフォーマット検出法と呼ばれるものが知られている。

【0003】

ブラインドトランスポートフォーマット検出法では、以下のようにデータレートが判定される。

【0004】

すなわち、複数のデータレートが存在する通信系において、データ復調装置は、データを受信した時点では、データレートを認識することができない（あり得るデータレートは予め規定されているので認識しているが、そのうちのどのデータレートであるのかを認識することができない）。そこで、データ復調装置は、受信したデータをビタビ復号処理し、受信データの先頭から数えてデータレート分の終端となる可能性のある終端ビット（End Bit Position） n_{end} のデータ毎に、最大パスメトリック値、最小パスメトリック値、および、ゼロステートパスメトリック値を求め、以下の式（1）に示すS値（関数 $S(n_{\text{end}})$ で示す値）を演算する。

【0005】

$$\begin{aligned} S(n_{\text{end}}) &= 10 \log \left(\left(a_0(n_{\text{end}}) - a_{\min}(n_{\text{end}}) \right) / \left(a_{\max}(n_{\text{end}}) - a_{\min}(n_{\text{end}}) \right) \right) \\ &\dots (1) \end{aligned}$$

【0006】

ここで、 $a_{\max}(n_{\text{end}})$ はその終端ビット n_{end} における最大パスメトリック値、 $a_{\min}(n_{\text{end}})$ は終端ビット n_{end} における最小パスメトリック値、および、 $a_0(n_{\text{end}})$ は終端ビット n_{end} におけるゼロステートパスメトリック値である。

【0007】

真の終端ビットの場合、ゼロステートパスメトリック値 $a_0(n_{\text{end}})$ は十分に小さな値となるため、この式(1)に示すS値は小さな値(負の方向に大きな値)となる。また、真の終端ビットではない場合、ゼロステートパスメトリック値 $a_0(n_{\text{end}})$ は十分に小さな値をとることができないので、S値は小さな値とはならない。

【0008】

そこで、この関係を利用して、所定の終端ビット n_{end} で演算されたS値と所定の閾値Dを比較し、以下の式(2)の関係を満たさない場合、その終端ビット n_{end} は真の終端部ではないものとみなし、その他の終端ビットのS値を判定する。

【0009】

$$S(n_{\text{end}}) \leq D \cdots (2)$$

【0010】

ここで、閾値Dは、初期値として比較的大きな値に設定されている。

【0011】

上記の式(2)を満たす場合、データ復調装置は、ゼロステートパスメモリデータからCRC(Cyclic Redundancy Check)のチェックを実行し、エラーではないと判定されたとき、その時点の終端部のS値を閾値Dに設定する。この操作が繰り返され、最終的に最小となるS値をとる終端部 n_{end} が(先頭データから終端部 n_{end} までのデータ長が)データレートとして検出される。

【0012】

例えば、データ復調装置が、図1に示すような受信データを受信したとする。図1の受信データは、可変長のデータ部(Data with variable number of bits) 1、CRC部(CRC) 2、および、空データ部(Empty) 3から構成されている。

【0013】

図1に示すように、可能性のある終端ビット n_{end} が終端ビットE1乃至E4であったとする(受信データの先頭(図中左端)から終端ビットE1, E2, E3, またはE4までの4つのデータレートが設定されていたものとする)と、デ

ータ復調装置は、各終端ビットE 1乃至E 4毎に、そのS値をそれぞれ求め、上記のように閾値との比較を繰り返していく。図1の例においては、終端ビットE 3がCRC部の切れ目となっており、ここが真の終端ビットとなる。従って、終端ビットE 3においてS値は最小となることになり、結果として、受信したデータの先頭から終端ビットE 3までのデータ長がデータレートとして判定されることになる。

【0014】

【発明が解決しようとする課題】

ところで、上記のブラインドトランスポートフォーマット検出法において、可能性のある各終端ビットの最大パスメトリック値 $a_{\max}(n_{\text{end}})$ 、最小パスメトリック値 $a_{\min}(n_{\text{end}})$ 、および、ゼロステートパスメトリック値 $a_0(n_{\text{end}})$ を演算する場合、先頭ビットから終端となる可能性のある全ての終端ビットまでのビタビ復号処理が繰り返されることになる。

【0015】

すなわち、例えば、図2に示すように、図2中の最上段の終端ビットE 1における最大パスメトリック値 $a_{\max}(E 1)$ 、最小パスメトリック値 $a_{\min}(E 1)$ 、および、ゼロステートパスメトリック値 $a_0(E 1)$ を求める場合、図中最上段の先頭ビット0から終端ビットE 1までの各ビットについてビタビ復号処理がなされる。

【0016】

また、図2中の上から2段目の終端ビットE 2における最大パスメトリック値 $a_{\max}(E 2)$ 、最小パスメトリック値 $a_{\min}(E 2)$ 、および、ゼロステートパスメトリック値 $a_0(E 2)$ を求める場合、図2中上から2段目の先頭ビット0から終端ビットE 2までの各ビットについてビタビ復号処理がなされる。

【0017】

図2に示すように、 n 個のビットレートが設定されていた場合、このようなビタビ復号処理が繰り返され、各終端ビットE 1乃至E n における最大パスメトリック値 $a_{\max}(E n)$ 、最小パスメトリック値 $a_{\min}(E n)$ 、および、ゼロステートパスメトリック値 $a_0(E n)$ が求められ、各S値が比較されて、先頭ビッ

トから S_{\min} に相当する終端ビット E_n までのデータ長がビットレートととして判定されることになる。

【0018】

しかしながら、このような手法によりビタビ復号処理を実行して、ビットレート判定を行うと、可能性のある終端ビットの数だけ（設定されているデータレートの数だけ）同様のビタビ復号処理を繰り返す必要があるため、真の終端ビットを検出するまでの演算に時間がかかりすぎてしまい、結果としてビットレートの判定に時間がかかってしまうという課題があった。

【0019】

また、この課題を解消させるため、複数のビタビ復号器を用いて、上記のビタビ復号処理を並列処理することにより、演算処理を高速化させるという方法も考えられるが、そのようにすると、装置規模が大きくなり、それと共にコストも増大してしまうと言う課題があった。

【0020】

本発明はこのような状況に鑑みてなされたものであり、簡単な装置構成で、ビタビ復号処理による受信データのビットレートを高速に判定できるようにするものである。

【0021】

【課題を解決するための手段】

本発明のデータ復調装置は、受信データを先頭ビットから順次ビタビ復号するビタビ復号手段と、ビタビ復号手段により受信データを先頭ビットから順次ビタビ復号した場合に、所定のデータレートのエンドビットポジション毎に得られるエンドビットポジション判定データを順次抽出するエンドビットポジション判定データ抽出手段と、エンドビットポジション判定データ抽出手段により順次抽出されたエンドビットポジション判定データに基づいて、受信データのデータレートを判定するデータレート判定手段とを備えることを特徴とする。

【0022】

前記エンドビットポジションデータ抽出手段により順次抽出されたエンドビットポジション判定データを記憶するエンドビットポジション判定データ記憶手段

をさらに設けるようにすることができる。

【 0 0 2 3 】

前記ビタビ復号手段には、受信データの複数ビットを1ステップでビタビ復号させるようにすることができる。

【 0 0 2 4 】

前記エンドビットポジションとなりうるビットが、ビタビ復号手段により1ステップでビタビ復号される複数ビットの最終ビットではない場合、ビタビ復号手段には、1ステップでビタビ復号する受信データのうち、先頭からエンドビットポジションとなりうるビットまでの受信データをビタビ復号し、その後、複数ビットの最終ビットまでの受信データをビタビ復号させるようにすることができる。

【 0 0 2 5 】

前記ビタビ復号手段によりビタビ復号されたデータを記憶するビタビ復号データ記憶手段をさらに設けるようにことができ、エンドビットポジションとなりうるビットが、ビタビ復号手段により1ステップでビタビ復号される複数ビットの最終ビットではない場合、ビタビ復号手段が、1ステップでビタビ復号する受信データのうち、先頭からエンドビットポジションとなりうるビットまでの受信データをビタビ復号するとき、ビタビ復号データ記憶手段には、ビタビ復号された受信データの記憶を禁止させるようにすることができる。

【 0 0 2 6 】

前記エンドビットポジション判定データには、最大パスメトリック値、最小パスメトリック値、ゼロステートパスメトリック値、および、ゼロステートパスメモリデータを含ませるようにすることができる。

【 0 0 2 7 】

本発明のデータ復調方法は、受信データを先頭ビットから順次ビタビ復号するビタビ復号ステップと、ビタビ復号ステップの処理で受信データを先頭ビットから順次ビタビ復号した場合に、所定のデータレートのエンドビットポジション毎に得られるエンドビットポジション判定データを順次抽出するエンドビットポジション判定データ抽出ステップと、エンドビットポジション判定データ抽出ステ

ップの処理で順次抽出されたエンドビットポジション判定データに基づいて、受信データのデータレートを判定するデータレート判定ステップとを含むことを特徴とする。

【 0 0 2 8 】

本発明のデータ復調装置および方法においては、受信データが先頭ビットから順次ビタビ復号され、受信データを先頭ビットから順次ビタビ復号した場合に、所定のデータレートのエンドビットポジション毎に得られるエンドビットポジション判定データが順次抽出され、順次抽出されたエンドビットポジション判定データに基づいて、受信データのデータレートが判定される。

【 0 0 2 9 】

【発明の実施の形態】

図 3 は、本発明に係るデータ復調装置の一実施の形態の構成を示す図である。このデータ復調装置は、複数のデータレートが存在する通信系のデータ復調装置であり、受信データのデータレートを判定し、正しいデータレートで受信データを復号し、図示せぬ後段の装置に出力する。受信データ用メモリ 11 は、制御部 12 の指令に基づいて、図示せぬアンテナや復調器を介して入力された受信データを一時的に記憶し、制御部 12 の指令に基づいて所定のビット数毎に受信データ制御部 13 に出力する。

【 0 0 3 0 】

制御部 12 は、図示せぬ CPU (Central Processing Unit)、ROM (Read Only Memory)、および、RAM (Random Access Memory)、または、論理回路などから構成され、データ復調装置の全体の動作を制御する。また、制御部 12 は、内部にカウンタを持ち、受信データ用メモリ 11 に入力された受信データをビット単位でカウントして記憶し、この受信データのカウンタ値に基づいて、各種の処理を実行する。さらに、制御部 12 は、上記の S 値のカウンタやデータレート検出用のデータレートのカウンタをも内蔵している。

【 0 0 3 1 】

受信データ制御部 13 は、受信データ用メモリ 11 より入力された受信データを、制御部 12 の指令に基づいて ACS (Add Compare Select) 回路 14 に供給す

る。また、受信データ制御部 1 3 は、必要に応じて、受信データにマスク処理（受信データの一部を 0 にする処理）を施し、ACS回路 1 4 に受信データを供給する。尚、受信データ制御部 1 3 の受信データのマスク処理については詳細を後述する。

【 0 0 3 2 】

ACS回路 1 4 は、制御部 1 2 の指令に基づいて、受信データ制御部 1 3 より入力された受信データに、パスメトリックパスメモリ用メモリ 1 5 に記憶された処理済のデータを用いて、加算、比較、および、選択といった処理、すなわち、ビタビ復号処理を施し、その処理結果をパスメトリックパスメモリ用メモリ 1 5 に出力し記憶させる。また、ACS回路 1 4 は、EBP (End Bit Position)、すなわち、受信データの先頭ビットからデータレート分の最終ビットとなる可能性のあるビットの最大パスメトリック値、最小パスメトリック値、ゼロステートパスメトリック値、および、ゼロステートパスメモリデータをEBP用メモリ 1 6 に記憶させる。尚、ACS回路 1 4 は、1ステップで複数ビットのビタビ復号処理を実行する。

【 0 0 3 3 】

パスメトリックパスメモリ用メモリ 1 5 は、制御部 1 2 の指令に基づいて、ACS回路 1 4 より入力されたビタビ復号処理された復号データを記憶すると共に、データレートが判定された後、正しいデータレートにおける復号データを図示せぬ後段の装置に出力する。また、パスメトリックパスメモリ用メモリ 1 5 は、既に、ビタビ復号されているデータを、次の受信データのビタビ復号に必要なデータとしてACS回路 1 4 に供給する。

【 0 0 3 4 】

CRC (Cyclic Redundancy Check) 回路 1 7 は、EBP用メモリ 1 6 に記憶されたゼロステートパスメモリデータとパスメトリックパスメモリ用メモリ 1 5 に記憶されているゼロステートパスメモリデータの前に位置する既復号データを用いてCRC計算を行い、いわゆる、CRCチェックを実行し、受信データの誤りの有無を判定し、その結果を 0 または 1 のフラグとして制御部 1 2 に出力する。

【 0 0 3 5 】

次に、図4に示す受信データを、ACS回路14が1ステップのビタビ復号で3ビットずつ処理する場合のデータ復調装置の動作について、図5のフローチャートを参照して説明する。尚、以下の説明において、 r は、1ステップで同時にビタビ復号できるビット数を示しており、従って、今の場合、 $r = 3$ である。また、カウンタ値と受信データのビット数は対応するものとし、例えば、カウンタ値 M に対応する受信データのビットは、ビット M （以下、これを、受信データ M とも称する）とする。さらに、図4に示す受信データのうち、EBPの可能性のあるデータについては、丸印をつけて示しており、それぞれ受信データ E_1 乃至 E_n として示している。

【0036】

ステップS1において、制御部12は、内蔵するカウンタを初期化し、それぞれカウンタ $M = 0$ 、 $S_{\min} = D$ 、および、データレート $= 0$ とする。

【0037】

ステップS2において、受信データ用メモリ11は、受信データを記憶し、制御部12の指令に基づいて、受信データ M 乃至 $M + r - 1$ を受信データ制御部13に出力する。すなわち、最初の処理では、カウンタ値は $M = 0$ であるので、受信データ用メモリ11は図4に示す受信データ0乃至2（ $= 0 + 3 - 1$ ）を受信データ制御部13に出力する。

【0038】

ステップS3において、制御部12は、受信データ M 乃至 $M + r - 1$ に、EBPとなる可能性のある受信データ（ビット）が存在するか否かを判定する。すなわち、今の場合、受信データ0乃至2にEBPの可能性のあるデータが存在するか否かが判定される。図4に示すように、データ0乃至2にはEBPとなる可能性のあるデータは存在しないので、その処理は、ステップS4に進む。

【0039】

ステップS4において、受信データ制御部13は、制御部12の指令に基づいて、受信データ M 乃至 $M + r - 1$ をACS回路14に出力する。すなわち、今の場合、受信データ制御部13は、受信データ0乃至2をACS回路14に出力する。

【0040】

ステップ S 5 において、ACS 回路 1 4 は、受信データ制御部 1 3 より入力された受信データ M 乃至 $M + r - 1$ をビタビ復号処理し、ビタビ復号処理結果をパスメトリックバスメモリ用メモリ 1 5 に出力する。従って、今の場合、ACS 回路 1 4 は、受信データ 0 乃至 2 をビタビ復号処理し、ビタビ復号処理結果をパスメトリックバスメモリ用メモリ 1 5 に出力する。

【 0 0 4 1 】

ステップ S 6 において、制御部 1 2 は、カウンタ値 M を r だけ、すなわち、3 だけインクリメントし、その処理はステップ S 2 の処理に戻る。

【 0 0 4 2 】

ステップ S 2 において、例えば、カウンタ値が $M = (E 1 - 2)$ であった場合、受信データ用メモリ 1 1 は、制御部 1 2 の指令に基づいて、受信データ E 1 - 2 乃至 E 1 を受信データ制御部 1 3 に出力する。

【 0 0 4 3 】

ステップ S 3 において、制御部 1 2 は、受信データ用メモリ 1 1 より入力された受信データ E 1 - 2 乃至 E 1 に、EBP となる可能性のある受信データが存在するか否かを判定する。今の場合、受信データ E 1 は EBP となる可能性があるので、制御部 1 2 は、受信データ E 1 - 2 乃至 E 1 の範囲に EBP となる可能性のあるデータが存在すると判定し、その処理は、ステップ S 7 に進む。

【 0 0 4 4 】

ステップ S 7 において、制御部 1 2 は、受信データ $M + r - 1$ は EBP となる可能性のあるデータであるか否かを判定する。すなわち、ステップ S 7 において、制御部 1 2 は、図 6 (A) に示すように、受信データ E 1 - 2 乃至 E 1 の処理をするとき、EBP となる可能性のある受信データ E 1 が、ACS 回路 1 4 の 1 ステップのビタビ復号処理する最後のデータ（ビット）となっているか否かを判定している。今の場合、受信データ $M + r - 1$ は、受信データ E 1 となる。受信データ E 1 は、EBP となる可能性のあるデータである。従って、その処理は、ステップ S 8 に進む。

【 0 0 4 5 】

尚、図 6 (A) は、図 4 の受信データの先頭ビット付近、および、受信データ

E 1, E 2 付近を拡大した図であり、矢印で示された範囲は、その下に示されたカウンタ値のときにACS回路 14 により 1 ステップでビタビ復号処理される受信データの組を示している。また、図 6 (B) は、カウンタ値に対応するACS回路 14 の処理を示している。

【0046】

ステップ S 8 において、受信データ制御部 13 は、制御部 12 の指令に基づいて受信データ M 乃至 $M+r-1$ を ACS 回路 14 に出力する。今の場合、受信データ制御部 13 は、受信データ E 1-2 乃至 E 1 を ACS 回路 14 に出力する。ステップ S 9 において、ACS 回路 14 は、パスメトリックパスメモリ用メモリ 15 に記憶された、それまでにビタビ復号処理されているデータを利用して、受信データ制御部 13 より入力された受信データ E 1-2 乃至 E 1 をビタビ復号処理し、パスメトリックパスメモリ用メモリ 15 に記憶させると共に、受信データ E 1 の最大パスメトリック値、最小パスメトリック値、ゼロステートパスメトリック値、および、ゼロステートパスメモリデータを EBP 用メモリ 16 に記憶させる。

【0047】

ステップ S 10 において、制御部 12 は、EBP 処理を実行する。

【0048】

ここで、図 7 のフローチャートを参照して、EBP 処理について説明する。

【0049】

ステップ 21 において、制御部 12 は、EBP 用メモリ 16 に記憶されている EBP の可能性のある受信データの最大パスメトリック値、最小パスメトリック値、およびゼロステートパスメトリック値を EBP 用メモリ 16 より読み出す。今の場合、制御部 12 は、受信データ E 1 の最大パスメトリック値、最小パスメトリック値、およびゼロステートパスメトリック値を EBP 用メモリ 16 より読み出す。

【0050】

ステップ S 22 において、制御部 22 は、読み出した最大パスメトリック値、最小パスメトリック値、およびゼロステートパスメトリック値を用いて上記の式 (1) に従って、S 値を演算し、内蔵するメモリに記憶させる。

【0051】

ステップ S 2 3 において、制御部 1 2 は、今演算して求められた S 値と、これまでに演算され、記憶されていた S 値の最小値 S_{\min} と比較し、両者の関係が $S < S_{\min}$ であるか否かを判定する。比較結果が $S < S_{\min}$ である場合、その処理は、ステップ S 2 4 に進む。尚、S 値の最小値 S_{\min} の初期値 D は、十分に大きな値とされている。従って、通常、初めて演算された S 値は S_{\min} ($= D$) より小さいと判定される。

【 0 0 5 2 】

ステップ S 2 4 において、制御部 1 2 は、CRC 回路 1 7 より供給されるフラグが、エラーがなかったことを示す 1 であるか否かを判定する。

【 0 0 5 3 】

ここで、図 8 のフローチャートを参照して CRC 回路 1 7 の処理について説明する。尚、CRC の処理は EBP 処理と平行して実行されている。

【 0 0 5 4 】

ステップ S 3 1 において、CRC 回路 1 7 は、EBP 用メモリ 1 6 に記憶されているゼロステートパスメモリデータを抽出する。今の場合、CRC 回路 1 7 は、EBP 用メモリ 1 6 に記憶されている受信データ E 1 のゼロステートパスメモリデータを読み出す。

【 0 0 5 5 】

ステップ S 3 2 において、CRC 回路 1 7 は、受信データ E 1 のゼロステートパスメモリデータに基づいて CRC 計算を実行する。ステップ S 3 3 において、CRC 回路 1 7 は、演算の結果得られた CRC と、ゼロステートパスメモリデータに含まれる CRC に対応するデータとを比較し、両者が一致するか否か（受信データのエラーの有無）を判定し、受信データにエラーが無かった場合、ステップ S 3 4 において、制御部 1 2 にフラグ = 1 の CRC の演算結果を供給する（受信データにエラーが無かったことを制御部 1 2 に通知する）。ステップ S 3 3 において、受信データにエラーがあった場合、CRC 回路 1 7 は、フラグ = 0 の CRC 演算結果を制御部 1 2 に供給する（受信データにエラーがあったことを制御部 1 2 に通知する）。

【 0 0 5 6 】

ここで、図 7 のフローチャートの説明に戻る。

【 0 0 5 7 】

ステップ S 2 4 において、CRC の計算結果であるフラグが 1 である場合、すなわち、受信データにエラーがなかった場合、ステップ S 2 5 において、制御部 1 2 は、内蔵するメモリの S 値の最小値 S_{\min} を、今演算して得られた S 値に置き換えて記憶させると共に、受信データの先頭から受信データ E 1 までのデータの長さをデータレートであると判定し、データレートのカウンタ値を E 1 として、内蔵するメモリに記憶させる。

【 0 0 5 8 】

ステップ S 2 3 において、比較結果が $S < S_{\min}$ ではないと判定された場合、このとき、今演算された S 値は、S 値の最小値 S_{\min} よりも小さくないので、この時点での受信データの終端ビットのデータ、すなわち、今の場合、受信データ E 1 は EBP ではないとみなされ、その処理は、図 5 のフローチャートのステップ S 1 1 に進む。

【 0 0 5 9 】

また、ステップ S 2 4 において、CRC 回路 1 7 より入力された CRC のフラグが 0 であると判定された場合、制御部 1 2 は、受信データにエラーがあったものとみなし、その処理は、図 5 のフローチャートのステップ S 1 1 に進む。

【 0 0 6 0 】

ここで、図 5 のフローチャートの説明に戻る。

【 0 0 6 1 】

ステップ S 1 1 において、制御部 1 2 は、今処理した受信データ E 1 が EBP となる可能性のある受信データの最後のもの（最後の EBP）であるか否かを判定し、最後のものであると判定した場合、その処理は、終了され、最後のものではないと判定した場合、その処理は、ステップ S 6 に戻る。

【 0 0 6 2 】

例えば、図 6 (A) に示すカウンタ値が $E 2 - 1$ である場合、すなわち、ACS 回路 1 4 が 1 ステップで受信データ $E 2 - 1$ 乃至 $E 2 + 1$ のビタビ復号処理をする場合、ステップ S 7 において、受信データ $E 2 + 1$ は、EBP となる可能性のある受信データではないと判定される。すなわち、EBP となる可能性のある受信デ

ータE 2は、ACS回路1 4の1ステップのビタビ復号処理する最後のデータとなっていないので、その処理は、ステップS 1 2に進む。

【0 0 6 3】

ステップS 1 2において、制御部1 2は、EBPデータ抽出処理を実行する。

【0 0 6 4】

ここで、図9のフローチャートを参照して、EBPデータ抽出処理について説明する。ステップS 4 1において、制御部1 2は、ACS回路1 4より出力されたデータのバスメトリックバスメモリ用メモリ1 5への書き込み処理を禁止させる。ステップS 4 2において、制御部1 2は、受信データ制御部1 3を制御し、受信データ用メモリ1 1より入力された受信データE 2 - 1乃至E 2 + 1のうち、EBPとなる可能性のある受信データE 2より後の受信データをマスク処理して、ACS回路1 4に出力させる。すなわち、今の場合、受信データE 2より後の受信データE 2 + 1のデータがマスク処理され（そのビットの値が0にされ）、ACS回路1 4に出力される。

【0 0 6 5】

ステップS 4 3において、ACS回路1 4は、受信データ制御部1 3より入力された、受信データE 2 + 1のデータがマスク処理されている受信データE 2 - 1乃至E 2 + 1を、バスメトリックバスメモリ用メモリ1 5に記憶された、既にビタビ復号処理されたデータを用いてビタビ復号処理し、そのビタビ復号処理結果をバスメトリックバスメモリ用メモリ1 5に出力し、受信データE 2の最大バスメトリック値、最小バスメトリック値、およびゼロステートバスメトリック値をEBP用メモリ1 6に出力する。このとき、バスメトリックバスメモリ用メモリ1 5は、書き込みが禁止された状態となっているので、ACS回路1 4のビタビ復号処理結果は記憶されない。

【0 0 6 6】

ステップS 4 4において、制御部1 2は、EBP処理を実行する。尚、EBP処理は、上記の図7のフローチャートを参照して説明した処理と同様であるので、その説明は省略する。

【0 0 6 7】

ステップ S 4 5 において、制御部 1 2 は、パスメトリックパスメモリ用メモリ 1 5 の書き込み禁止状態を解除する。

【 0 0 6 8 】

ここで、図 5 のフローチャートの説明にもどる。

【 0 0 6 9 】

ステップ S 1 3 において、制御部 1 2 は、今処理した受信データ E 2 が EBP となる可能性のある受信データの最後のもの（最後の EBP）であるか否かを判定し、最後のものであると判定した場合、その処理は、終了され、最後のものではないと判定した場合、その処理は、ステップ S 4 の処理に戻る。

【 0 0 7 0 】

このとき、ステップ S 4 において、ACS回路 1 4 は、受信データ制御部 1 3 より入力された受信データ E 2 - 1 乃至 E 2 + 1（マスク処理されていない受信データ E 2 + 1 を含む）を、パスメトリックパスメモリ用メモリ 1 5 に記憶された、それまでビタビ復号処理されているデータを利用してビタビ復号処理し、パスメトリックパスメモリ用メモリ 1 5 に出力する。

【 0 0 7 1 】

すなわち、ACS回路 1 4 により 1 ステップでビタビ復号処理される受信データの最後に EBP となる可能性のある受信データが存在しない場合（受信データの最後以外の位置に EBP となる可能性のあるデータが存在した場合）、ステップ S 1 2 において EBP データ抽出処理、すなわち、今の例では、図 6（B）に（E 2 - 1）' として示す処理を施し、EBP となる受信データまでのデータ（今の例では、受信データ E 2 - 1，E 2）をビタビ復号処理し、EBP 用のビタビ復号データ（今の場合、受信データ E 2 のビタビ復号データ）を求め、EBP 用メモリ 1 6 に記憶させる。

【 0 0 7 2 】

その後、ステップ S 4 において、カウンタ値 E 2 - 1 に対応する全ての受信データ、すなわち、受信データ E 2 - 1 乃至 E 2 + 1 をビタビ復号する処理（図 6（B）に E 2 - 1 として示す処理）を実行する。つまり、1 ステップでビタビ復号処理される受信データの最後以外の位置に EBP となる可能性のあるデータがあ

る場合、同じカウンタ値の受信データによるビタビ復号処理が2回実施されることになる。

【0073】

この場合、最初のビタビ復号処理（EBPデータ抽出処理）で、パスメトリックパスメモリ用メモリ15の書き込みが禁止されるのは、ACS回路14が、受信データ制御部13より入力された受信データを、パスメトリックパスメモリ用メモリ15に記憶された、それまでにビタビ復号処理されているデータを用いて演算するため、図9のフローチャート中のステップS42の処理のように、EBPとなる受信データより後に存在する受信データをマスクしたデータによるビタビ復号処理結果を、次のステップのビタビ復号処理に使用した場合（例えば、上述のように、受信データE2+1をマスクして（0にして）ビタビ復号処理されたデータを次のビタビ復号に使用した場合）、そのビタビ復号処理においては、不完全なビタビ復号処理結果が使用されることになり、誤差が生じてしまうためである。そこで、次のビタビ復号処理に必要な演算結果を得るため、マスク処理されない受信データにより2回目のビタビ復号処理が実行され、それ以降のビタビ復号処理においては、この2回目のビタビ復号結果が用いられる。

【0074】

尚、以上の説明においては、ACS回路14が1ステップでビタビ復号処理できる受信データ数（入力データ数）を3ビットとし、復号結果のデータ数を1ビットとしたが、受信データ数および復号結果のビット数は、それ以外のビット数であってもよく、例えば、受信データ数を4ビットとして、復号結果を2ビットとするようにしてもよい。

【0075】

以上によれば、簡単な装置構成により、ビタビ復号処理を高速で実行させるようにすることができるので、受信データのデータレートを高速に判定することが可能となる。

【0076】

【発明の効果】

本発明のデータ復調装置および方法によれば、受信データを先頭ビットから順

次ビタビ復号した場合に、所定のデータレートのエンドビットポジション毎に得られるエンドビットポジション判定データを順次抽出し、抽出したエンドビットポジション判定データに基づいて、受信データのデータレートを判定するようにしたので、簡単な装置構成により、ビタビ復号処理による受信データのデータレートを高速に判定することが可能となる。

【図面の簡単な説明】

【図 1】

データレート判定を説明する図である。

【図 2】

従来のビタビ復号処理を説明する図である。

【図 3】

本発明を適用したデータ復調装置の一実施の形態の構成を示すブロック図である。

【図 4】

受信データを説明する図である。

【図 5】

図 3 のデータ復調装置の処理を説明するフローチャートである。

【図 6】

受信データのビタビ復号処理を説明する図である。

【図 7】

図 5 のステップ S 1 0 のEBP処理の詳細を説明するフローチャートである。

【図 8】

CRCの処理を説明するフローチャートである。

【図 9】

図 5 のステップ S 1 2 のEBPデータ抽出処理の詳細を説明するフローチャートである。

【符号の説明】

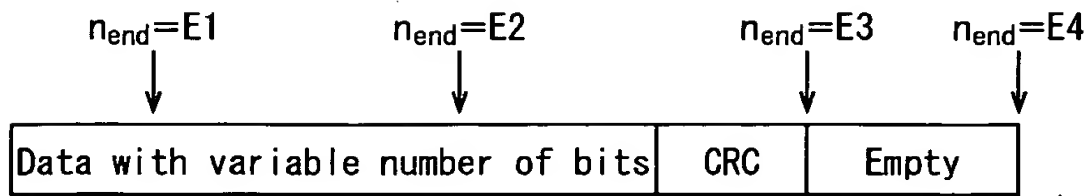
1 1 受信データ用メモリ, 1 2 制御部, 1 3 受信データ制御部, 1 4 ACS回路, 1 5 パスメトリックパスメモリ用メモリ, 1 6 EBPメモリ, 1 7

特 2 0 0 0 - 2 6 4 0 3 6

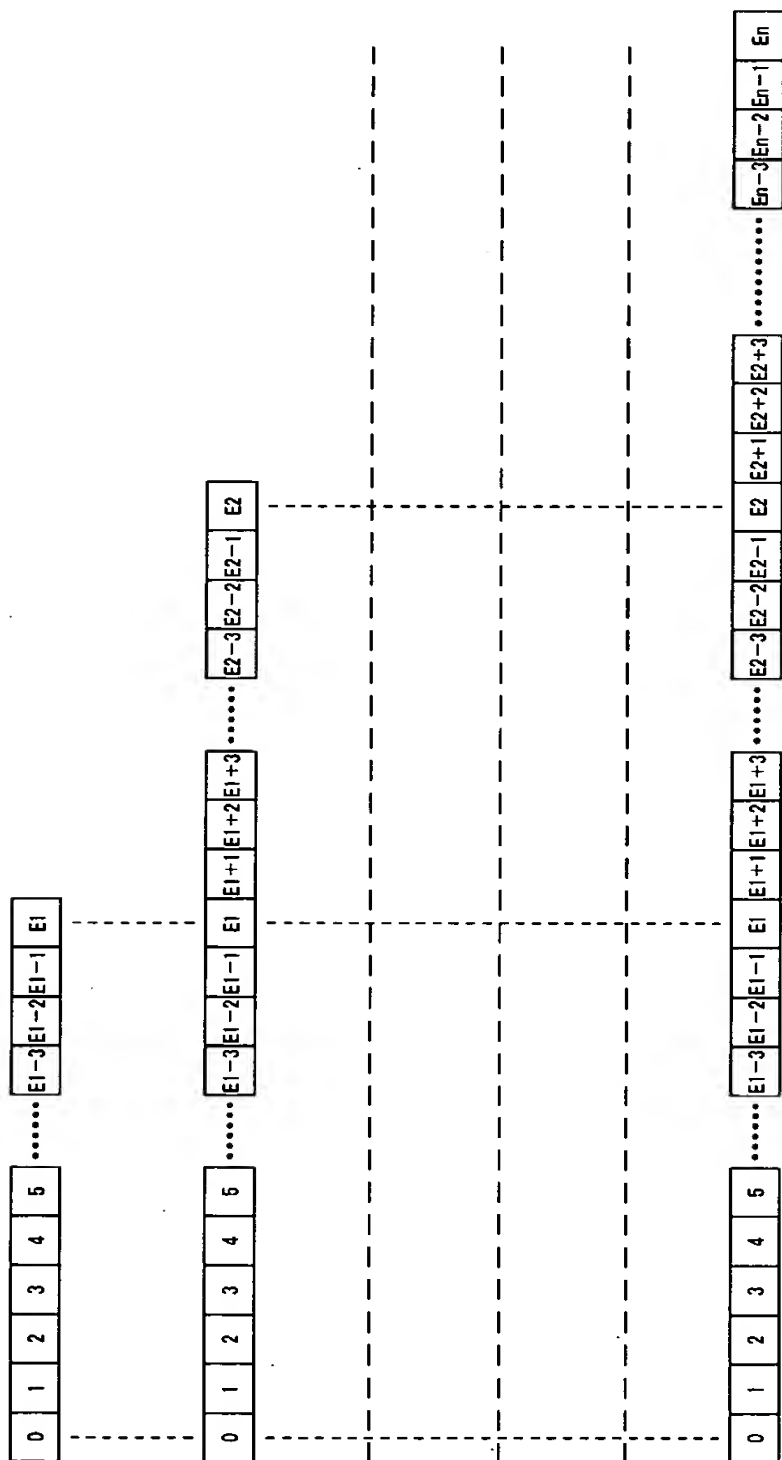
CRC回路

【書類名】 図面

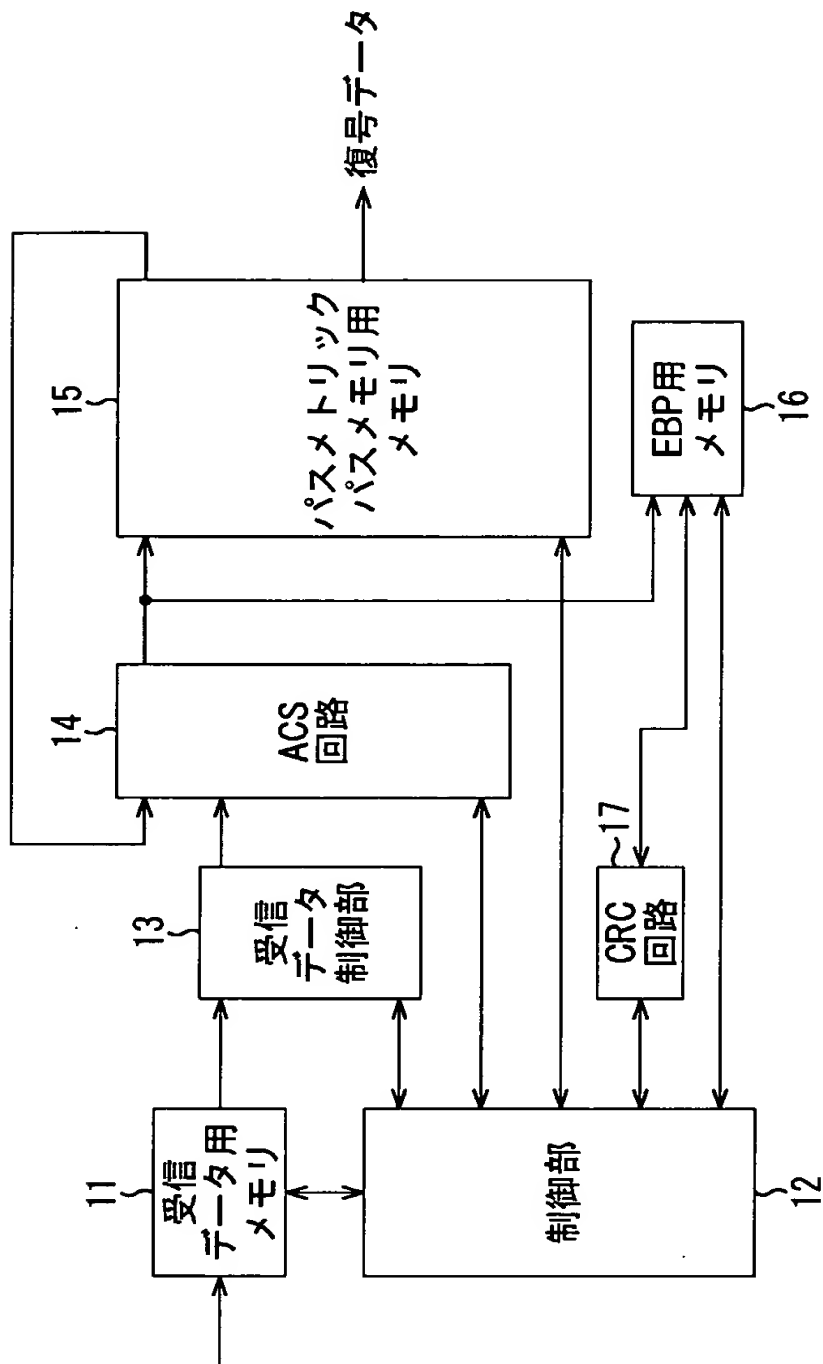
【図 1】



【圖 2】



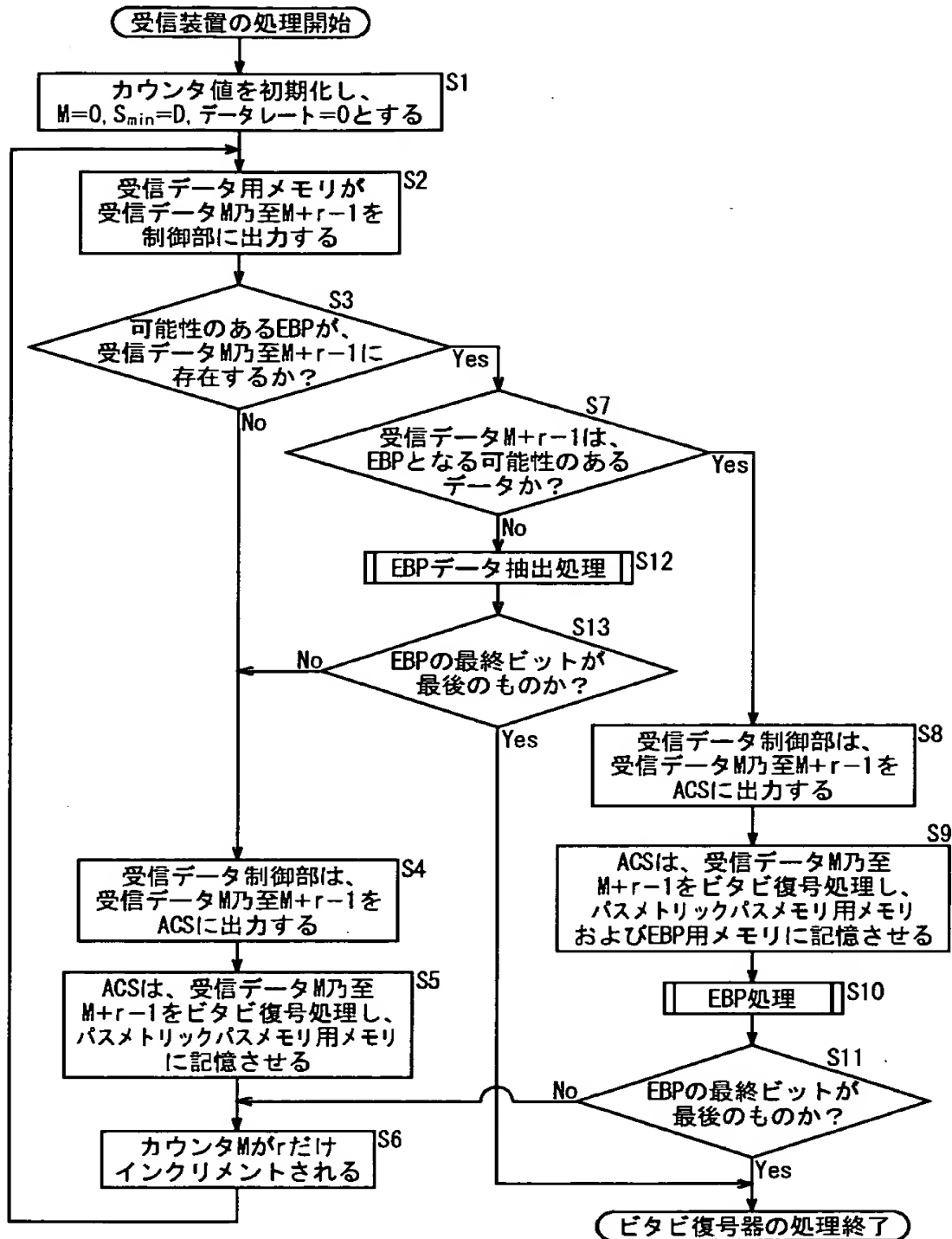
【図 3】



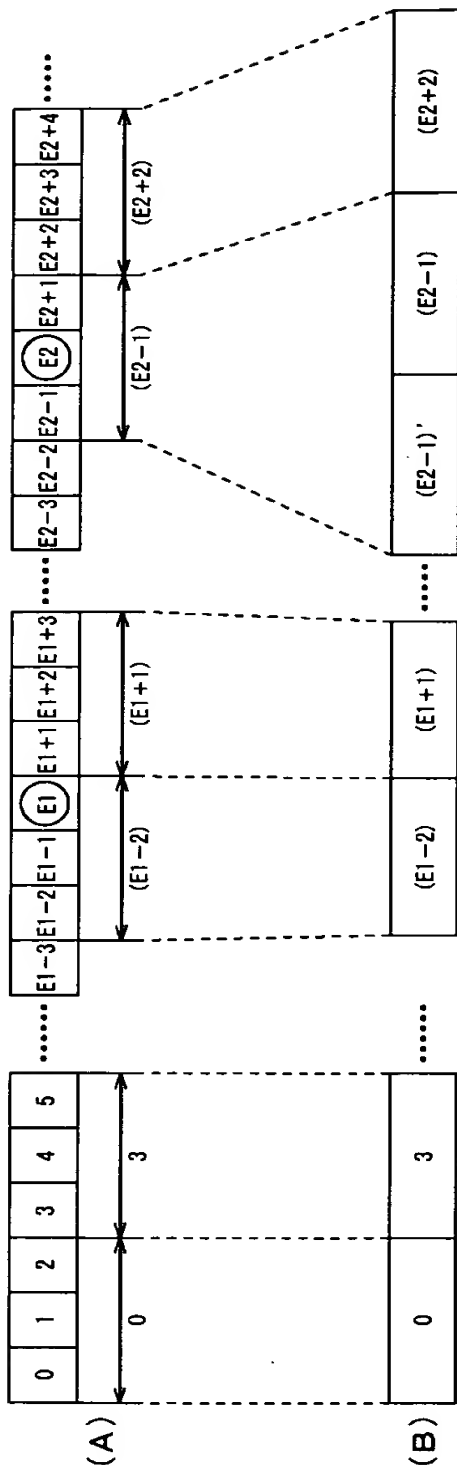
【図 4】



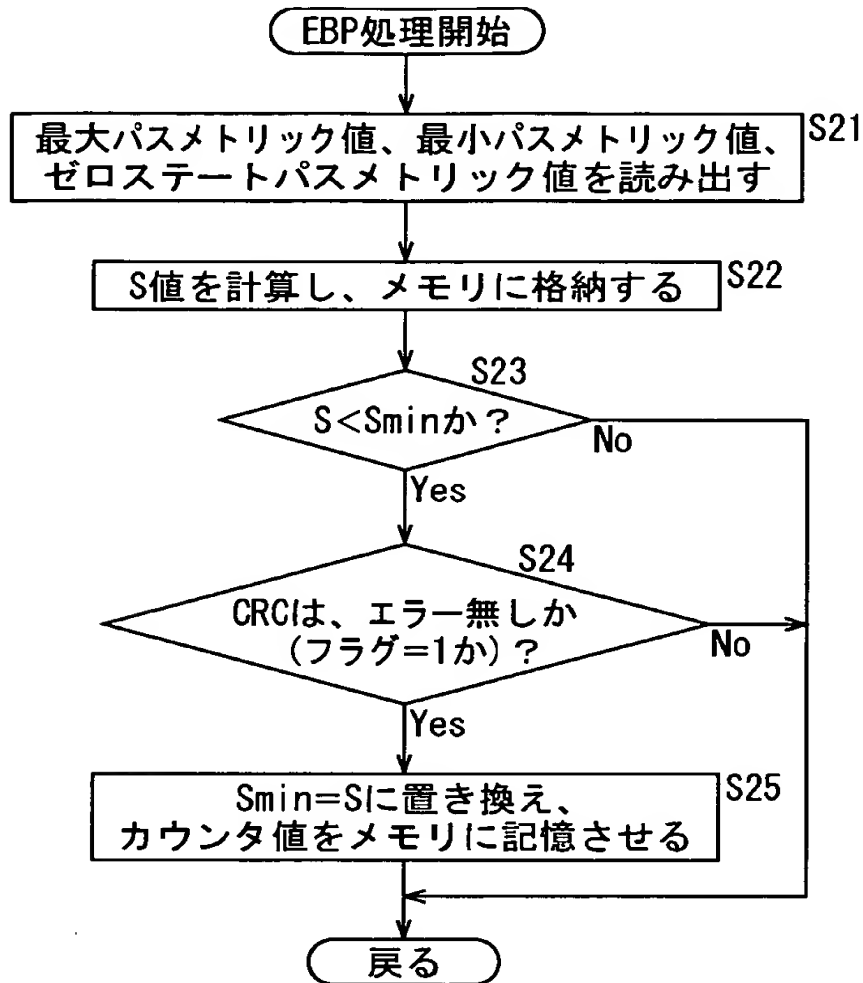
【図 5】



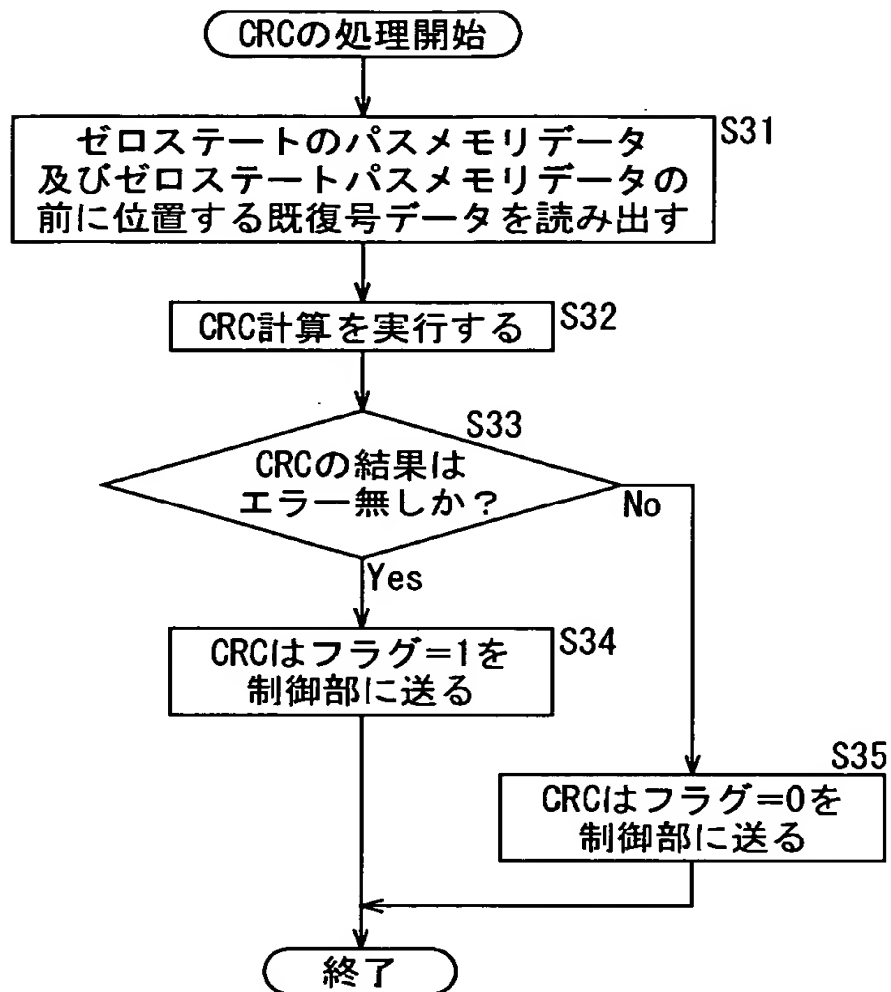
【图 6】



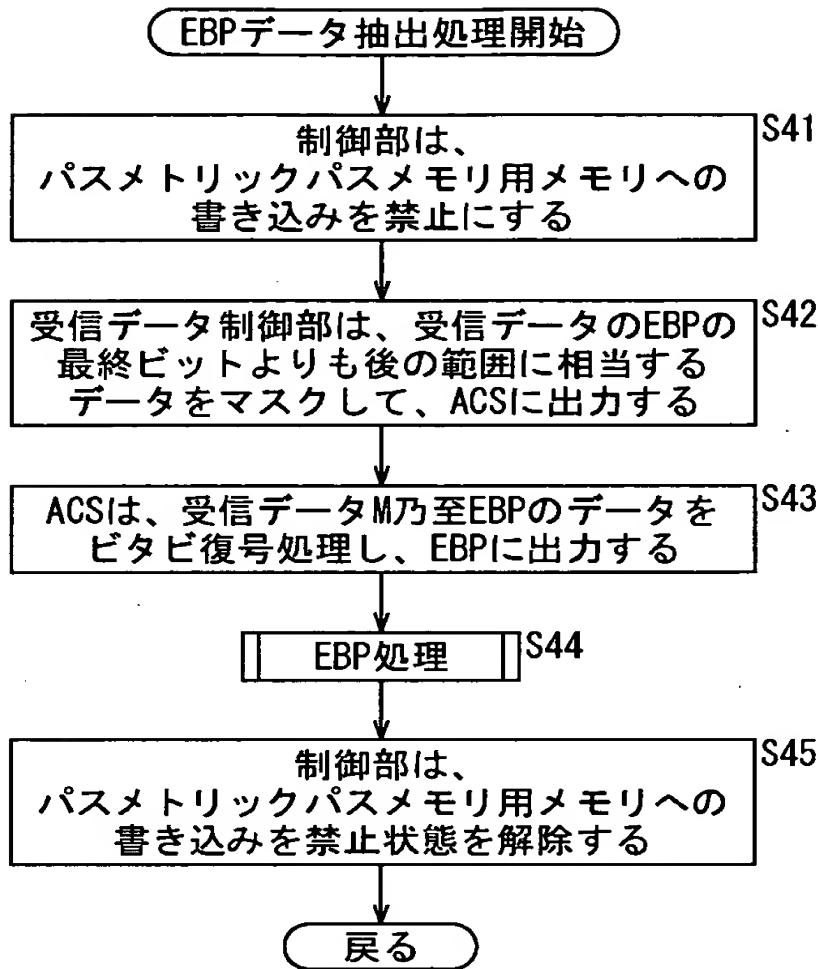
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 ビタビ復号処理を用いてデータレートを高速に判定できるようにする

。

【解決手段】 受信データ 0 乃至 E_n を先頭から順次ビタビ復号処理し、データレート判定に必要な、エンドビットポジションの可能性のある受信データ E_1 、 E_2 、 E_3 、または E_n をビタビ復号した時点で、データレート判定に必要なデータを順次抽出してデータレートを判定する。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社